

Family list

1 family member for:

JP4056168

Derived from 1 application.

1 THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Publication Info: JP4056168 A - 1992-02-24

Data supplied from the esp@cenet database - Worldwide //

Best Available Copy

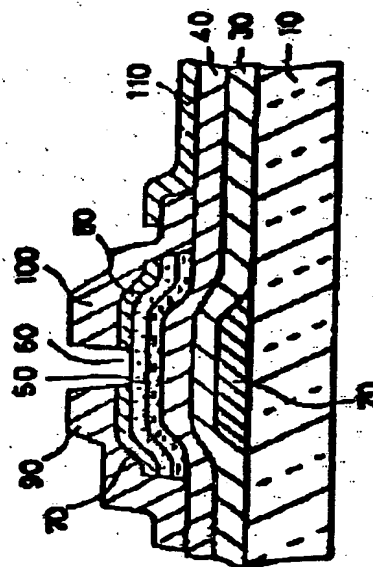
THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Patent number: JP4056168
Publication date: 1992-02-24
Inventors: SANO HIROYUKI; IMASHIRO SHINICHI; TOKO YASUO
Applicants: STANLEY ELECTRIC CO LTD
Classification:
- **International:** (IPC1-7): H01L29/784
- **European:**
Application number: JP19900163744 19900621
Priority number(s): JP19900163744 19900621

Report a data error here

Abstract of JP4056168

PURPOSE: To easily control the etching operation of a semiconductor layer, to eliminate a drop in the insulation of a gate insulating film and to enhance reliability and productivity by a method wherein the gate insulating film is formed of a three-layer laminated structure in which adjacent layers are formed of mutually different materials and the semiconductor layer is formed on it.
CONSTITUTION: A gate electrode 20 for a transistor is formed and patterned on a glass substrate 10. In addition, three layers by a first gate insulating film 30, a second gate insulating film 40 and a third gate insulating film 50 in the order from the side close to the substrate 10 are laminated on it. An amorphous silicon semiconductor layer (a-Si) 60 constituting a channel is formed on the third gate insulating film 50 so as to face the gate electrode 20. The film 50 is formed of a silicon nitride film by a plasma CVD method. When an etching operation is shifted from the semiconductor layer to the film 50, the plasma luminous peak of nitrogen is detected and an etching end point is detected. Thereby, a thin-film transistor in which a source is not short-circuited with a gate, whose insulating property is excellent and whose characteristic is stable can be manufactured with good reproducibility.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
 ⑪ 公開特許公報(A) 平4-56168

⑫ Int. Cl.⁸

H 01 L 29/784

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月24日

9056-4M

H 01 L 29/78

S 11 G

審査請求 有 請求項の数 4 (全4頁)

⑭ 発明の名称 薄膜トランジスタおよびその製造方法

⑮ 特 願 平2-163744

⑯ 出 願 平2(1990)6月21日

⑰ 発 明 者 佐 野 寛 幸

神奈川県大和市南林間8-10-5-101

⑱ 発 明 者 今 城 慎 一

神奈川県川崎市麻生区虹ヶ丘2-3-2-702

⑲ 発 明 者 都 甲 康 夫

神奈川県横浜市緑区荏田南2-17-8-202

⑳ 出 願 人 スタンレー電気株式

東京都目黒区中目黒2丁目9番13号

社

㉑ 代 理 人 弁理士 高橋 敏四郎

明 細 書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1). 透明絶縁基板と、

前記透明絶縁基板上に形成したゲート電極層と、

前記ゲート電極層と前記基板の上に形成したゲート絶縁層と、

前記ゲート絶縁層の上に形成した半導体層と、
 前記半導体層の上に形成したソース/ドレイン電極層とを有し、

前記ゲート絶縁層は隣接する層が互いに異なる材料で形成された3層の積層を含む薄膜トランジスタ。

(2). 前記ゲート絶縁層は前記ゲート電極層に近い順に第1絶縁層、第2絶縁層及び第3絶縁層を含み、前記第2絶縁層が前記第3絶縁層よりも耐エッチング性に優れた材料で構成される請求

項1記載の薄膜トランジスタ。

(3). 透明絶縁基板上にゲート電極層を形成する工程と、

前記ゲート電極層と前記透明絶縁基板の上に3層の積層構造を含むゲート絶縁層を形成する工程であって、前記3層の第1層と第2層とは異なる成膜法で形成する工程と、

前記ゲート絶縁層の上に半導体層を形成する工程と、

前記半導体層の所定領域をエッチングする工程と、

前記半導体層の上にソース電極とドレイン電極の層を同時に形成する工程と、
 を含む薄膜トランジスタの製造方法。

(4). 前記ゲート絶縁層の3層の形成工程は、プラズマCVD法による酸化シリコン膜で第1層を形成し、スパッタ法による酸化シリコン膜で第2層を形成することを含む請求項4記載の薄膜トランジスタの製造方法。

9. 発明の要旨を説明

【産業上の利用分野】

本発明は、特に、トランジスタに係わり、特に、液晶ディスプレイ等のアクティブマトリックス表示装置の画素回路に好適な信頼性と生産性の高い、トランジスタおよびその製造方法に関する。

【従来の技術】

図2図にアクティブマトリックス装置に内蔵した従来のトランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極20が形成され、パターニングされ、その上になるにゲート絶縁膜30、40が2層積層して形成されている。(ゲート絶縁膜は1層のみの場合もある。)ゲート電極20に対向するように絶縁膜40上にチャネルを形成する半導体膜60が形成され、その上にコンタクトを形成するための低抵抗半導体膜70、80が所定形状にパターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより、ト

ランジスタの一端子が形成されている。半導体膜60、70、80の形成工程におけるエッチング工程は、例えば、CF₄、SF₆、ガスを用いてドライエッチングで行われる。エッチングは、例えば、高周波電力の10〜200W、圧力の1〜100Paである。さらに、ドレイン電極100の一部と接合し、ゲート絶縁膜40上に存在して画素となる透明電極110が形成される。

【発明が解決しようとする課題】

図1のゲート絶縁膜30に酸化シリコン(SiO₂)又は、酸化タンタル(Ta₂O₅)を積層し、図2ゲート絶縁膜40に酸化シリコン(SiO₂)を使用した場合、半導体膜60、70、80のパターニング工程のエッチング時に、酸化シリコンのエッチングレートが非常に低い。このため、半導体膜がエッチングされた後に、ゲート絶縁膜40の酸化シリコンもエッチングされる。これにより、ゲート絶縁膜40のオーバーエッチングを抑制でき、ゲート

絶縁膜の厚さが所定の値よりも厚くなり、絶縁膜下のソース・ゲート電極の露出となる。

また、図1のゲート絶縁膜30に酸化シリコン(SiO₂)を使用し、図2のゲート絶縁膜40に酸化シリコン(SiO₂)又は、酸化タンタル(Ta₂O₅)を使用した場合には、半導体膜60、70、80のエッチング時、エッチングがしにくく、半導体膜60、70、80がプラズマダメージを受ける。さらに、酸化シリコンや酸化タンタルは、酸化シリコンに比べ半導体膜との界面準位が不安定である欠点があった。

本発明の目的は、半導体膜のエッチングがしやすく、絶縁膜の絶縁膜下の低い、高信頼性の高い、トランジスタとその製造方法を提供することである。

【課題を解決するための手段】

本発明によれば、トランジスタにおいて、図1の層は互に異なる材料で形成された3層の積層構造を用いてゲート絶縁膜を形成し、その上

に半導体膜を形成する。

【作用】

半導体膜のエッチング工程において、半導体膜がエッチングされると同時に、ゲート絶縁膜の半導体膜にも近い層がエッチングされるが、異なる材料の層3層によってオーバーエッチングが防止され、図2と図1とによって絶縁膜が形成される。また、図3図がエッチングされることで半導体膜のエッチング時、エッチングが可成りである。

【実施例】

次に、本発明によるトランジスタの断面図を図3図として説明する。

図1図にアクティブマトリックス装置に内蔵した本発明の実施例によるトランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極20が形成され、パターニングされ、その上になるに図10に近い層から図17

ート絶縁膜30、第2ゲート絶縁膜40及び第3ゲート絶縁膜50が3層積層形成されている。ゲート電極20に対向するように第3ゲート絶縁膜50上にチャネルを形成するアモルファスシリコン半導体膜(0-91)60が形成される。その上に、コンタクトを形成するための低抵抗率半導体S1(N+型アモルファスシリコン)70、80が所定形状にパターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより、第1トランジスタの1端子が形成されている。さらに、ドレイン電極100の一部と接続し、第3ゲート絶縁膜50上に開口となる透明電極110が形成される。

ここで、第2ゲート絶縁膜40は、第3ゲート絶縁膜50に比べ、エッチング後に優れた特性を使用することが好ましい。例えば、第2ゲート絶縁膜40は、スパッタ法またはプラズマCVD法により酸化シリコン(SiO₂)膜または酸化タングステン(Ta₂O₅)膜で形成する。第1ゲート絶縁膜30は、絶縁特性の優れた酸化シリコン

(SiO₂)膜をプラズマCVD法で形成する。また、第1ゲート絶縁膜30は、酸化シリコンや酸化タングステンも使用可能である。この間、第1ゲート絶縁膜30と第2ゲート絶縁膜40とは、開口のピンホール等の欠陥防止のため互いに異なる方法で形成することが絶縁膜の点で好ましい。

第3ゲート絶縁膜50は、プラズマCVD法により酸化シリコン膜で形成される。

第1ゲート絶縁膜30は、高抵抗率絶縁膜としての特性を有し、第2ゲート絶縁膜40は、第1ゲート絶縁膜30のピンホール等の欠陥防止および半導体膜60、70、80のエッチングの際のオーバーエッチングを防止するストッパの役割を、第3ゲート絶縁膜50は、半導体膜60、70、80のエッチングの際の側面保護および半導体膜60の界面準位を安定化させる役割をそれぞれ果たす。

ここで、本発明の実施例によって、開口に形成した第1トランジスタの例を説明する。開口300の0.8mmに成膜され、パターニングされたゲート

電極20上に、1000-4000nmの厚さの酸化シリコン膜で第1ゲート絶縁膜30を形成し、500-2000nmの厚さの酸化シリコン膜で第2ゲート絶縁膜40を形成し、さらに500-2000nmの厚さの酸化シリコン膜で第3ゲート絶縁膜50をそれぞれ積層形成する。さらに、第3ゲート絶縁膜50の同一空間内でチャネル半導体膜60、コンタクト半導体膜70、80を形成する。その間、CF₄及びO₂ガスを混合してドライエッチングで半導体膜60、70、80をパターニングする。ここで、エッチングが半導体膜から酸化シリコンの第3ゲート絶縁膜50に進行した際に、直下のプラズマ処理ビームを抽出することによりエッチング速度を抽出した。これにより、ソース・ゲート距離も広く絶縁性にすぐれた特性も安定な第1トランジスタが得られやすくなる。

以上、実施例に就いて本発明を説明したが、本発明はこれらに限定されるものではない。たとえ、図4の構造、改良、組合せ等が可能であること

は、当業者に自明である。

(発明の効果)

本発明によれば、ゲート絶縁膜に3層構造を用いたことによって、半導体膜のエッチング工程における絶縁膜のオーバーエッチングを防止できる。

ゲート絶縁膜の3層構造に酸化シリコン膜を用いているため、エッチングが半導体膜から第1ゲート絶縁膜に進行した際に、開口のプラズマ処理ビームを抽出することで、開口のエッチング速度を抽出できる。

第2ゲート絶縁膜に第1ゲート絶縁膜よりもエッチング後に優れた特性を使用することにより、エッチングストッパの役割を果たし、絶縁膜のオーバーエッチング防止が可能となる。

第3ゲート絶縁膜にプラズマCVD法により酸化シリコン膜を用いているため、真空中でも、半導体シリコン膜の処理速度が得られるので、ゲート絶縁膜と半導体膜との間に不純物が侵入せず、

特開平4-56168 (4)

界面単位の安定なものを形成できる。

4. 図面の簡単な説明

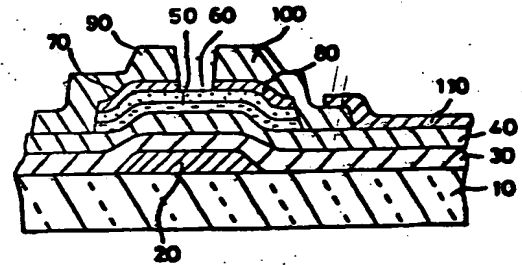
第1図は本発明の実施例による薄膜トランジスタの断面構造図、

第2図は従来の技術による薄膜トランジスタの断面構造図である。

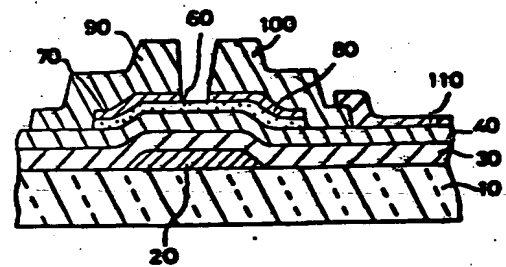
図において、

- | | |
|------------|----------|
| 10 | ガラス基板 |
| 20 | ゲート電極 |
| 30 | 第1ゲート絶縁層 |
| 40 | 第2ゲート絶縁層 |
| 50 | 第3ゲート絶縁層 |
| 60, 70, 80 | 半導体層 |
| 90 | ソース電極 |
| 100 | ドレイン電極 |
| 110 | 透明電極層 |

特許出願人 スタンレー電気株式会社
代理人 弁理士 高橋 敬四郎



本発明の実施例による薄膜トランジスタ
第1図



従来の技術による薄膜トランジスタ
第2図

手続補正書 (自発)

平成 2年 7月27日

特許庁長官 殿

1. 事件の表示 平成 2年特許第163744号

2. 発明の名称 薄膜トランジスタおよびその製造方法

3. 補正をする者

事件との関係 特許出願人
住所 東京都目黒区中目黒2丁目9番13号
名称 (280) スタンレー電気株式会社

4. 代理人

住所 〒103 東京都中央区日本橋小伝馬町1-3
日本橋ニシキビル702 電話 03-5561-0000
氏名 (9134) 弁理士 高橋 敬四郎

5. 補正の対象 明細書の発明の詳細な説明の欄

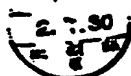
6. 補正の内容 別紙の通り

(1). 明細書第 8頁第19~20行
「3000nm」を「300nm」と補正する。

(2). 明細書第 9頁第1行
「1000~4000nm」を「100~400nm」と補正する。

(3). 明細書第 9頁第3行
「500~2000nm」を「50~200nm」と補正する。

(4). 明細書第 9頁第4~5行
「500~2000nm」を「50~200nm」と補正する。



方式 ①

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.